

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

#2
4-2400
Priority
Paper

Jc584 U.S. PTO
09/496421



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 2 月 2 日

出 願 番 号
Application Number:

平成 1 1 年特許願第 0 2 4 7 0 5 号

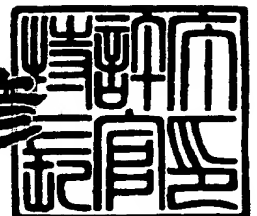
出 願 人
Applicant (s):

日本電気アイシーマイコンシステム株式会社

1 9 9 9 年 1 2 月 1 0 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平 1 1 - 3 0 8 5 7 7 3

【書類名】 特許願

【整理番号】 01210466

【提出日】 平成11年 2月 2日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体装置とそのマスクパターン及び半導体装置のレイアウト方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内

【氏名】 岩崎 律子

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100070530

【郵便番号】 107

【弁理士】

【氏名又は名称】 畑 泰之

【電話番号】 3582-7161

【手数料の表示】

【予納台帳番号】 043591

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9804541

特平 1 1 - 0 2 4 7 0 5

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのマスクパターン及び半導体装置のレイアウト方法

【特許請求の範囲】

【請求項 1】 第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるように構成した半導体装置において、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置したことを特徴とする半導体装置。

【請求項 2】 前記第 1 のトランジスタは、ダミーゲートで挟まれるように配置され、前記第 2 のトランジスタも、ダミーゲートで挟まれるように配置され、且つ、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートとダミーゲートとは連続的に等間隔になるように配置したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 のトランジスタのゲートの形状と第 2 のトランジスタのゲートの形状と前記ダミーゲートの形状とは、同一寸法で同一形状、且つ、同一の材料で形成されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記第 1 のトランジスタと第 2 のトランジスタとは同一寸法で同一形状に形成され、且つ、同一の材料で形成されていることを特徴とする請求項 1 乃至 3 の何れかに記載の半導体装置。

【請求項 5】 前記第 1 のトランジスタのゲート及び第 2 のトランジスタのゲートは 2 分割若しくは 3 分割されていることを特徴とする請求項 1 乃至 4 の何れかに記載の半導体装置。

【請求項 6】 第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるようにした半導体装置のマスクパターンにおいて、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に

、前記第1のトランジスタのゲートと第2のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置することを特徴とする半導体装置のマスクパターン。

【請求項7】 前記第1のトランジスタのゲートの形状と第2のトランジスタのゲートの形状と前記ダミーゲートの形状とは、同一寸法で同一形状であることを特徴とする請求項6記載の半導体装置のマスクパターン。

【請求項8】 第1のトランジスタと第2のトランジスタとが同一の電気的性能を備えるようにした半導体装置のレイアウト方法において、

前記第1のトランジスタと第2のトランジスタ間に、前記第1のトランジスタのゲートと第2のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第1のトランジスタのゲートと第2のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置することを特徴とする半導体装置のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのマスクパターン及び半導体装置のレイアウト方法に係わり、特に、ペアトランジスタのような電気的性能の揃ったトランジスタを歩留まり良く製造可能にした半導体装置とそのマスクパターン及び半導体装置のレイアウト方法に関する。

【0002】

【従来の技術】

回路特性を満足するようにマスクパターンを作成しても、実際に基板上にパターンニングしたときの出来上がりは、プロセスの製造時のばらつきが発生してしまうと、期待どおりの電気的性能が得られないことがある。例えば、ゲートチャネル長 L とゲートチャネル幅 W を回路図と同じにマスクを作ったとしても、プロセスの製造時のばらつきやコンタクトの目ずれ等により、マスクデータとは異なることがある。特に、微少な電流を扱っているセンスアンプ部等では、出来上がりの違いにより対称に構成されるトランジスタの電流量のバランスがくずれ、特

性の悪化や不良の原因ともなり得る。そこで、プロセスの製造時のばらつきを考慮し、出来上がりを予測した上でのマスク設計が必要である。

【0003】

以下に、具体的な問題点を述べる。

製造プロセスにおいて、トランジスタの能力差が変動し、劣化または不良となるトランジスタが発生することがある。特に、微少な電流を扱っているセンスアンプ部等では、出来上がりの違いにより対称に構成されるトランジスタの電流量のバランスがくずれ、特性の悪化や不良の原因となり得ることがある。上記のようなトランジスタの構成をもつ半導体装置において、特にゲートを奇数本に分割せざるを得ない場合については、以下のような問題も出てくる。

【0004】

対称な構造を持ち、等しい能力を要求されるトランジスタ（図7のA部N1，N2）を図5，図6のように、マスクパターン上1本のゲートで形成したとき、図5のようにドレインを内側にした場合と、図6のようにソースを共通にした場合において、コンタクトの目ずれが起こった時に、ゲートチャネルからコンタクトまでの距離（ドレイン側で $Dis1 < Dis4$ 、ソース側で $Dis3 < Dis2$ ）が異なってくる。ソース側のコンタクトからドレイン側のコンタクトまでの距離は $Dis1 + Dis2 = Dis3 + Dis4$ と同じであるが、例えば、ソースからドレインへ流れる距離 $Dis1$ に対応する電流量を $I1$ 、距離 $Dis4$ に対応する電流量を $I4$ とすると、相互の Tr の電流量は、 $I1 < I4$ と差が生じる。

【0005】

特に、図7のように対称な構造を持ち、互いに電流値の差によって動作する回路の場合、誤動作の原因となる。

また、出来上がりのゲートチャネル幅は、マスク設計値に対して熱拡散時に拡散層に絶縁層が入り込む製造プロセス上のばらつき量（ ΔW ）が生じる為、マスク設計値（ W ）+絶縁層が入り込む量（ ΔW ）となる。実際マスク設計を行う際には、設計精度を上げる為に絶縁層が入り込む量 ΔW を考慮してマスクパターンにその値を加えて作成しているが、熱拡散時に生じる絶縁層の入り込み量 ΔW は

微妙に違って来る為、設計時に考慮した値 ΔW に対するばらつきが出るのは避けられない。

【0006】

設計時に考慮した値 ΔW に対してのばらつきが大きいほど、ゲート分割数に比例して期待するチャンネル幅が得られず、入り込み量 $\Delta W \times$ ゲート分割数分の差が生じることになる。したがって、上記の対称なトランジスタにおいて、互のゲート分割数が異なる場合、出来上がり上のチャンネル幅に差が生じ、能力にも差がでてくることになる。

【0007】

また、チップ内において同じ間隔で密にゲートがアレイされるアレイ部とゲートがアレイ部に比べ疎に配置される周辺との疎密の差により、内側と外側で出来上がり値が違って来る。

疎の部分と密の部分では、露光の時に光の回り込みや反射の状況によって、出来上がり寸法がばらつく。

【0008】

【発明が解決しようとする課題】

本発明の目的は、上記した従来技術の欠点を改良し、特に、ペアトランジスタのような電氣的性能の揃ったトランジスタを高精度に、且つ、歩留まり良く製造可能にした新規な半導体装置とそのマスクパターン及び半導体装置のレイアウト方法を提供するものである。

【0009】

【課題を解決するための手段】

本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

即ち、本発明に係わる半導体装置の第1態様は、

第1のトランジスタと第2のトランジスタとが同一の電氣的性能を備えるように構成した半導体装置において、

前記第1のトランジスタと第2のトランジスタ間に、前記第1のトランジスタのゲートと第2のトランジスタのゲートに並列にダミーゲートを配置すると共に

、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置したことを特徴とするものであり、

又、第 2 態様は、

前記第 1 のトランジスタは、ダミーゲートで挟まれるように配置され、前記第 2 のトランジスタも、ダミーゲートで挟まれるように配置され、且つ、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートとダミーゲートとは連続的に等間隔になるように配置したことを特徴とするものであり、

又、第 3 態様は、

前記第 1 のトランジスタのゲートの形状と第 2 のトランジスタのゲートの形状と前記ダミーゲートの形状とは、同一寸法で同一形状、且つ、同一の材料で形成されていることを特徴とするものであり、

又、第 4 態様は、

前記第 1 のトランジスタと第 2 のトランジスタとは同一寸法で同一形状に形成され、且つ、同一の材料で形成されていることを特徴とするものであり、

又、第 5 態様は、

前記第 1 のトランジスタのゲート及び第 2 のトランジスタのゲートは 2 分割若しくは 3 分割されていることを特徴とするものである。

【 0 0 1 0 】

又、本発明に係わる半導体装置のマスクパターンの第 1 態様は、

第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるようにした半導体装置のマスクパターンにおいて、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置することを特徴とするものであり、

又、第 2 態様は、

前記第 1 のトランジスタのゲートの形状と第 2 のトランジスタのゲートの形状と前記ダミーゲートの形状とは、同一寸法で同一形状であることを特徴とするものである。

【0 0 1 1】

又、本発明に係わる半導体装置のレイアウト方法の態様は、

第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるようにした半導体装置のレイアウト方法において、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置することを特徴とするものである。

【0 0 1 2】

【発明の実施の形態】

本発明に係わる半導体装置は、

第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるように構成した半導体装置において、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミーゲートとを連続的に等間隔になるように配置したものである。

【0 0 1 3】

【実施例】

以下に、本発明に係わる半導体装置とそのマスクパターン及び半導体装置のレイアウト方法の具体例を図面を参照しながら詳細に説明する。

図 1，図 2 は、本発明に係わる半導体装置とそのマスクパターン及び半導体装置のレイアウト方法の具体例の構造を示す図であって、これらの図には、

第 1 のトランジスタ 4 A と第 2 のトランジスタ 4 B とが同一の電氣的性能を備えるように構成した半導体装置において、

前記第 1 のトランジスタ 4 A と第 2 のトランジスタ 4 B 間に、前記第 1 のトランジスタ 4 A のゲート 1 と第 2 のトランジスタ 4 B のゲート 1 1 に並列にダミーゲート 4 D 2 を配置すると共に、前記第 1 のトランジスタ 4 A のゲート 1 と第 2 のトランジスタ 4 B のゲート 1 1 と前記ダミーゲート 4 D 2 とを連続的に等間隔

になるように配置した半導体装置が示され、

又、前記第1のトランジスタ4Aは、ダミーゲート4D1、4D2で挟まれるように配置され、前記第2のトランジスタ4Bも、ダミーゲート4D2、4D3で挟まれるように配置されている半導体装置が示され、

又、前記第1のトランジスタ4Aと第2のトランジスタ4Bとは同一寸法で同一形状に形成され、且つ、同一の材料で形成されている半導体装置が示されている。

【0014】

以下に、本発明を更に詳細に説明する。

図1はセンスアンプ部のペアトランジスタ4Aと4Bの配置である。トランジスタ4Aのチャンネルは2分割されており、チャンネルからコンタクトまでの距離Dis41a～Dis44aはすべて同一距離で配置されている。同様に、トランジスタ4Bのチャンネルも2分割されており、トランジスタ4Bのチャンネルからコンタクトまでの距離Dis41b～Dis44bはすべて同一である。

【0015】

ペアトランジスタ4Aの左右にはゲート1、2と同一形状、同一材質で形成されたダミーゲート4D1と4D2が配置されている。同様にペアトランジスタ4Bの左右にはダミーゲート4D2と4D3が配置されている。

トランジスタ4A、4Bのゲートの間隔、トランジスタ4A、4Bのゲートとダミーゲートの間隔は全て同一寸法であって、等間隔に、トランジスタのゲートとダミーゲートが配列されている。

【0016】

更に、ダミーゲート4D1～4D3の電極引き出し距離Dis4ctはトランジスタ4A、4Bの電極引き出し距離と同一である。また、チャンネル部の延長距離Dis4extはダミーゲート4D1～4D3とペアトランジスタ4A、4Bで同一になっている。

図5はペアトランジスタ5A、5Bがそれぞれ3分割されている例を示している。トランジスタ5Aのチャンネルからコンタクトまでの距離Dis51a～Dis56aはすべて同一距離で配置されている。同様に、トランジスタ5Bのチャ

ネルからコンタクトまでの距離 $Dis\ 5\ 1\ b \sim Dis\ 5\ 6\ b$ はすべて同一である。

【0017】

ペアトランジスタ 5A の左右にはゲート 21, 22, 23 と同一形状、且つ、同一材質で形成されたダミーゲート 5D1 と 5D2 が配置されている。同様にペアトランジスタ 5B の左右にはダミーゲート 5D2 と 5D3 が配置されている。

トランジスタ 5A, 5B のゲートの間隔、トランジスタ 5A, 5B のゲートとダミーゲートの間隔は全て同一寸法であって、この場合も、等間隔に、トランジスタのゲートとダミーゲートが配列されている。

【0018】

更に、ダミーゲート 5D1 \sim 5D3 の電極引き出し距離 $Dis\ 5\ c\ t$ はトランジスタ 5A, 5B の電極引き出し距離と同一である。また、チャネル部の延長距離 $Dis\ 5\ e\ x\ t$ はダミーゲート 5D1 \sim 5D3 とペアトランジスタ 5A, 5B で同一になっている。

このように構成した半導体装置において、

図1のトランジスタ 4A のチャネルからコンタクトまでの距離を $Dis\ 4\ 1\ a \sim Dis\ 4\ 4\ a$ 、トランジスタ 4B のチャネルからコンタクトまでの距離を $Dis\ 4\ 1\ b \sim Dis\ 4\ 4\ b$ 、図2も同様に $Dis\ 5\ 1\ a \sim Dis\ 5\ 6\ a$ 、 $Dis\ 5\ 1\ b \sim Dis\ 5\ 6\ b$ とし、それぞれの電流量を Dis の代わりに I を付け $I\ 4\ 1\ a \sim I\ 4\ 4\ b$ 、 $I\ 5\ 1\ a \sim I\ 5\ 6\ b$ のように表す。

【0019】

図1では、トランジスタのチャネルゲートを2分割しているので、ドレインをソースの間に挟むような構成になっており、プロセス上コンタクトの目ずれが起きたとしても2つの Tr の電流量 ($I\ 4\ 1\ a + I\ 4\ 2\ a + I\ 4\ 3\ a + I\ 4\ 4\ a = I\ 4\ 1\ b + I\ 4\ 2\ b + I\ 4\ 3\ b + I\ 4\ 4\ b$) は等しくなり、特性は変わらない。

図2では、トランジスタのチャネルゲートを3分割にしているが、ソース・ドレインの配置方向を揃えているので、プロセスの製造時のばらつきが生じたとしても全体に流れる電流の量を等しくすることが可能となる。

【0020】

また、上記の対称な構造を持つ T_r において、互いのゲート分割数を同じくすることは必須である。図 3 の表 1 ～ 6 を用いて説明すると、例えば想定する入り込み量を $\Delta W = 0.2 \mu m$ とし、チャネル幅の期待値 W に $0.2 \mu m$ を加えたマスクパターン〔各表内 (a) 〕を作成したとする。

拡散プロセスで (b) のばらつき量 ΔW が生じたとすると、1 本のゲート当たりの出来上がりチャネル幅 W は (c) の結果となり、ゲートのトータルのチャネル幅 W 値は (d) に示す通りとなる。拡散の結果、想定通りの ΔW を得られれば、表 1, 表 2 のようにゲートの分割数を増やしてもほぼ期待通りの結果が得られていることが分かる。

【0 0 2 1】

しかし、想定入り込み量に対し、製造上のばらつきから期待する ΔW に誤差が生じると、表 3 ～ 表 6 のようにゲート分割数が増える程、期待するマスクパターンの結果を得られないことが分かる。ゲート分割にも期待するマスク設計値 W を得るためには、限界があるということである。表中に示す値は、データ作成時の最小寸法を現在使用しているプロセスの最小値 $= 0.02 \mu m$ としている。ドレイン側の拡散層容量を小さくすることを考慮すれば、2 本以上の分割が望ましく、また、出来上がり W 値が期待 W 値に近くなることを考慮すれば、ゲートの分割数も 2 ～ 3 本程度に抑える必要があることがわかる。

【0 0 2 2】

図 4 のチャネルポリシリの配置本数と出来上がりチャネル長からもわかるように、出来上がりの ΔL の変化量をカバーする為にもペアトランジスタを 2 ～ 3 分割としてダミーゲートを少なくとも 1 本以上設けることが必要である。

従って、上記した本発明の半導体装置を形成するために、本発明の半導体装置のマスクパターンは、

第 1 のトランジスタと第 2 のトランジスタとが同一の電氣的性能を備えるようにした半導体装置のマスクパターンにおいて、

前記第 1 のトランジスタと第 2 のトランジスタ間に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートに並列にダミーゲートを配置すると共に、前記第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと前記ダミー

ゲートとを連続的に等間隔になるように配置することを特徴とするものであり、

又、前記第 1 のトランジスタのゲートの形状と第 2 のトランジスタのゲートの形状と前記ダミーゲートの形状とは、同一寸法で同一形状であることを特徴とするものである。

【 0 0 2 3 】

【発明の効果】

本発明に係わる半導体装置とそのマスクパターン及び半導体装置のレイアウト方法は、上述のように構成したので、プロセスの製造時のばらつきが発生しても設計期待値が得られる。

【図面の簡単な説明】

【図 1】

本発明に係わる半導体装置のレイアウトの一例を示す図である。

【図 2】

本発明に係わる半導体装置のレイアウトの他の例を示す図である。

【図 3】

ゲートの本数により出来上がり寸法に差が出る状態を示した図表である。

【図 4】

ゲートの本数と出来上がり寸法との一例を示した図である。

【図 5】

従来例の半導体装置のレイアウトを示す図である。

【図 6】

従来例の半導体装置の他のレイアウトを示す図である。

【図 7】

従来の問題を説明するための回路例を示す図である。

【符号の説明】

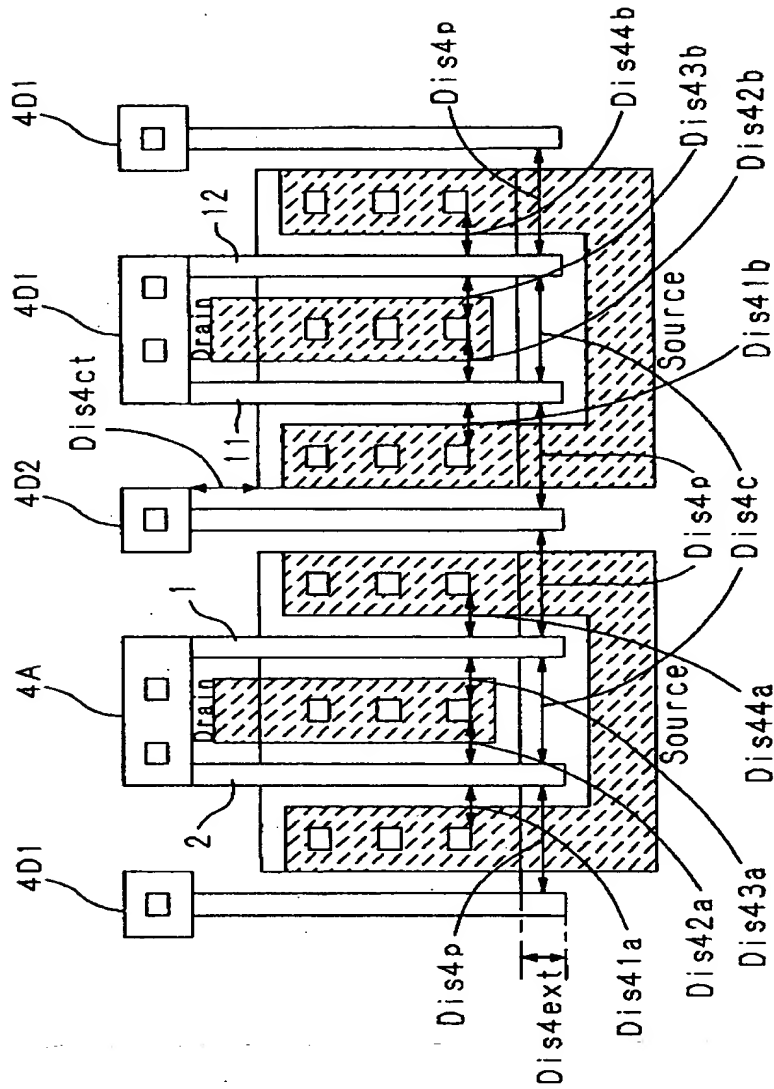
4 A, 4 B トランジスタ

1, 2, 1 1, 1 2 ゲート

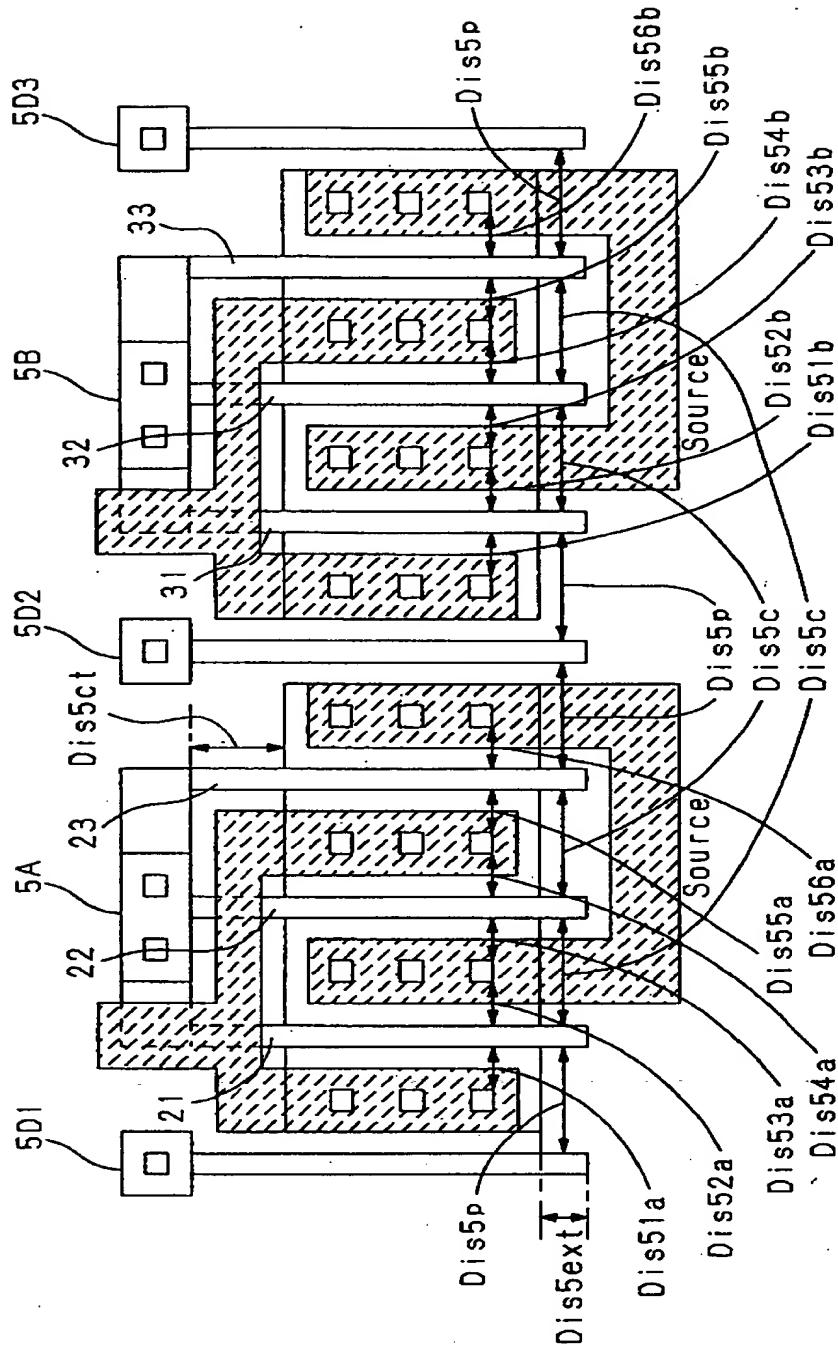
4 D 1, 4 D 2, 4 D 3 ダミーゲート

【書類名】 図面

【図 1】



【図 2】



【図 3】

【表1】トランジスタ期待値 $W=10\mu\text{m}$
ばらつき量 ($\Delta W=0.2\mu\text{m}$)
<想定通り>

ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	10.2	0.2	10	10
2	5.2	↓	5	10
3	3.54	↓	3.34	10.02
4	2.7	↓	2.5	10
5	2.2	↓	2	10
6	1.87	↓	1.67	10.02

【表2】トランジスタ期待値 $W=15\mu\text{m}$
ばらつき量 ($\Delta W=0.2\mu\text{m}$)
<想定通り>

ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	15.2	0.2	15	15
2	7.7	↓	7.5	15
3	5.2	↓	5	15
4	3.96	↓	3.76	15.04
5	3.2	↓	3	15
6	2.7	↓	2.5	15

【表3】トランジスタ期待値 $W=10\mu\text{m}$
ばらつき量 ($\Delta W=0\mu\text{m}$)
<想定 $\Delta W=0.2\mu\text{m}$ >

ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	10.2	0	10.2	10.2
2	5.2	↓	5.2	10.4
3	3.54	↓	3.54	10.64
4	2.7	↓	2.7	10.8
5	2.2	↓	2.2	11
6	1.87	↓	1.87	11.22

【表4】トランジスタ期待値 $W=15\mu\text{m}$
ばらつき量 ($\Delta W=0\mu\text{m}$)
<想定 $\Delta W=0.2\mu\text{m}$ >

ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	15.2	0	15.2	15.2
2	7.7	↓	7.7	15.4
3	5.2	↓	5.2	15.6
4	3.96	↓	3.96	15.84
5	3.2	↓	3.2	16
6	2.7	↓	2.7	16.2

【表5】トランジスタ期待値 $W=10\mu\text{m}$
ばらつき量 ($\Delta W=0.4\mu\text{m}$)
<想定 $\Delta W=0.2\mu\text{m}$ >

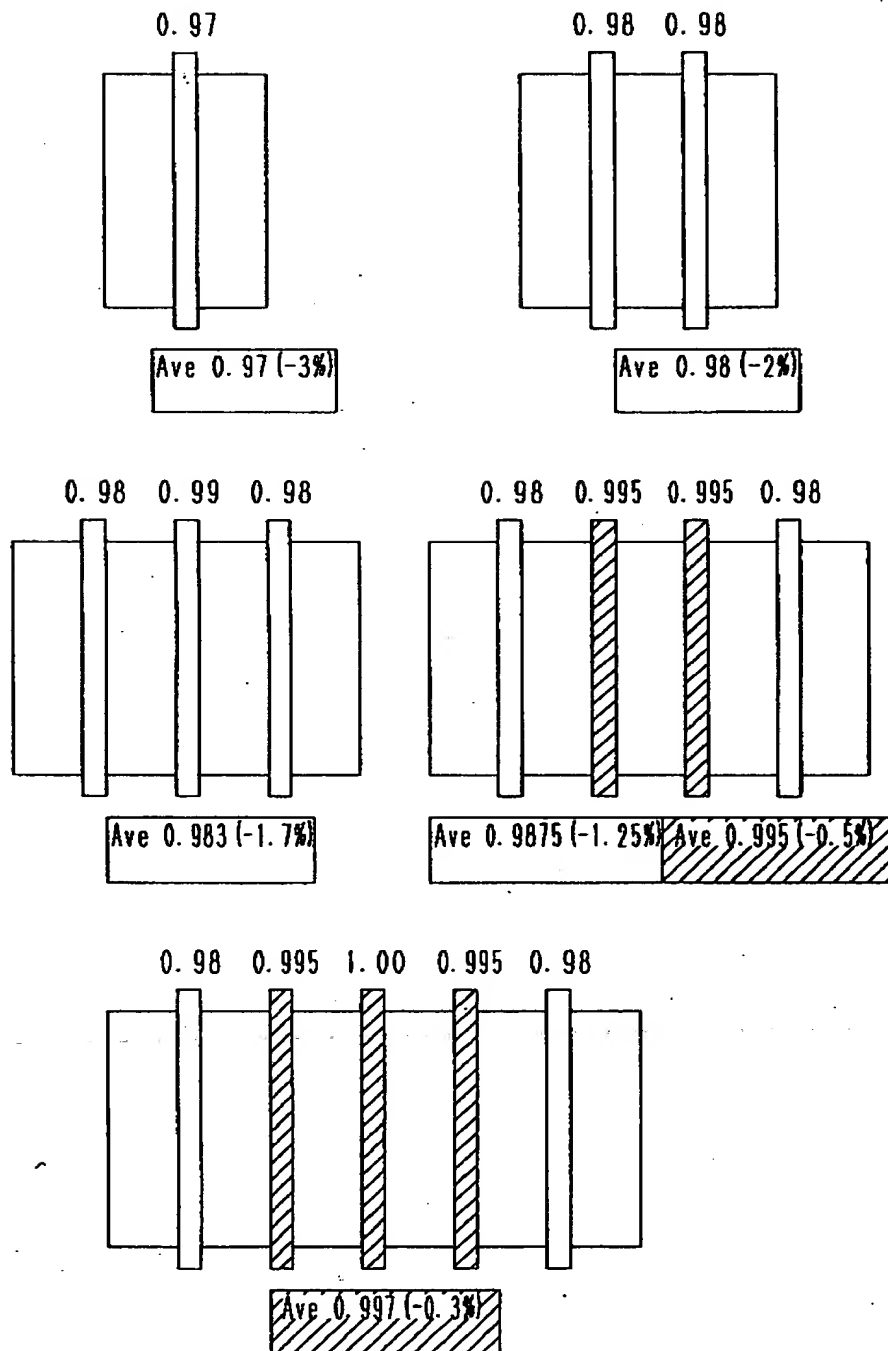
ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	10.2	0.4	9.8	9.8
2	5.2	↓	4.8	9.6
3	3.54	↓	3.14	9.42
4	2.7	↓	2.3	9.2
5	2.2	↓	1.8	9
6	1.87	↓	1.47	8.82

【表6】トランジスタ期待値 $W=15\mu\text{m}$
ばらつき量 ($\Delta W=0.4\mu\text{m}$)
<想定 $\Delta W=0.2\mu\text{m}$ >

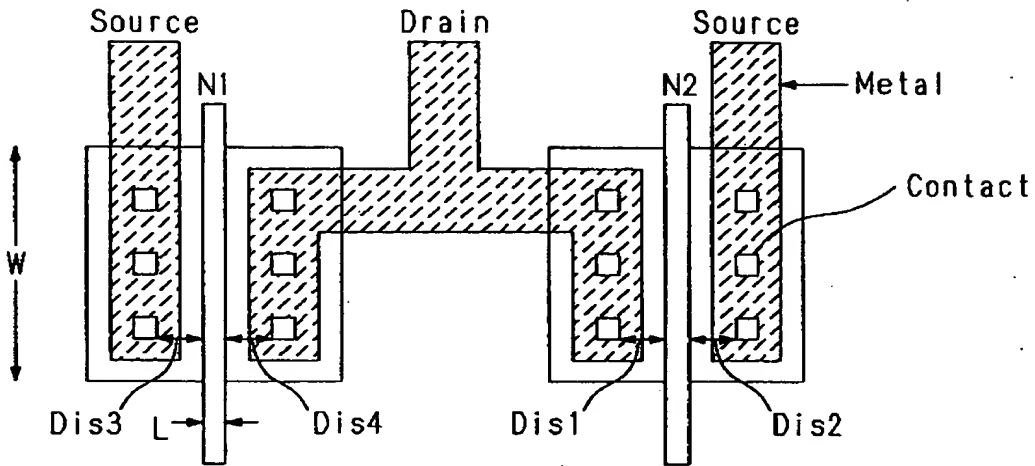
ゲート分 割数	(a) マスク 設計値	(b) ばら つき量 (Δ W)	(c) 1本の ゲートサイ ズ	(d) 出来 上りの合計 値
1	15.2	0.4	14.8	14.8
2	7.7	↓	7.3	14.6
3	5.2	↓	4.8	14.4
4	3.96	↓	3.56	14.24
5	3.2	↓	2.8	14
6	2.7	↓	2.3	13.8

【図 4】

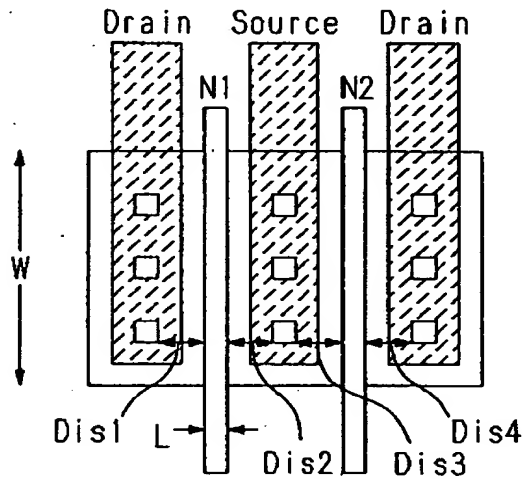
L mask = 1.0 μ m VS 出来上がり L poly



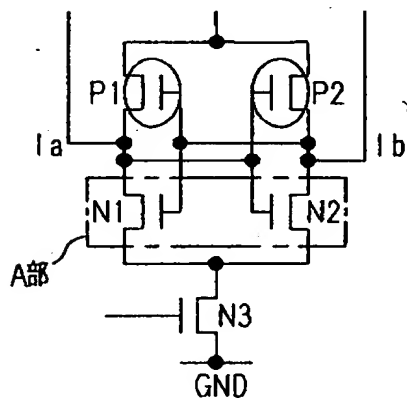
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 ペアトランジスタのような電氣的性能の揃ったトランジスタを歩留まり良く製造可能にした半導体装置を提供する。

【解決手段】 第 1 のトランジスタ 4 A と第 2 のトランジスタ 4 B とが同一の電氣的性能を備えるように構成した半導体装置において、前記第 1 のトランジスタ 4 A と第 2 のトランジスタ 4 B 間に、前記第 1 のトランジスタ 4 A のゲート 1 と第 2 のトランジスタ 4 B のゲート 1 1 に並列にダミーゲート 4 D 2 を配置すると共に、前記第 1 のトランジスタ 4 A のゲート 1 と第 2 のトランジスタ 4 B のゲート 1 1 と前記ダミーゲート 4 D 2 とを連続的に等間隔になるように配置したことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 日本電気アイシーマイコンシステム株式会社